

CLIPPEDIMAGE= JP408330864A

PAT-NO: JP408330864A

DOCUMENT-IDENTIFIER: JP 08330864 A

TITLE: HIGH FREQUENCY AMPLIFIER

PUBN-DATE: December 13, 1996

INVENTOR-INFORMATION:

NAME

HIRASAWA, HIROYOSHI

ASSIGNEE-INFORMATION:

NAME

SHOWA ELECTRIC WIRE & CABLE CO LTD

COUNTRY

N/A

APPL-NO: JP07135172

APPL-DATE: June 1, 1995

INT-CL (IPC): H03F003/60

ABSTRACT:

PURPOSE: To obtain a high frequency amplifier which can easily be adjusted to a required characteristic by easily increasing/decreasing an inductance and a capacitance in an inter-stage matching circuit.

CONSTITUTION: The high frequency amplifier is constituted by serially connecting the inter-stage matching circuit 8 between the drain terminal of preceding stage amplifying element FET1 and a succeeding stage amplifying element FET2. A serial circuit constituting the inter-stage matching circuit 8 is provided with a drain ribbon 31, an inductance element 80 providing inductance adjusting stair-shape inductor, a capacitor 34, a capacitance element 90 providing capacitance adjusting island-shape capacitor and a gate ribbon 33 by successively connecting them. By the circuit configuration, the respective values of the inductance and the capacitance in the inter-stage matching circuit 8 are easily adjusted.

COPYRIGHT: (C)1996, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330864

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl.⁶

H 0 3 F 3/60

識別記号

庁内整理番号

F I

H 0 3 F 3/60

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 4 頁)

(21) 出願番号 特願平7-135172

(22) 出願日 平成7年(1995)6月1日

(71) 出願人 000002255

昭和電線電纜株式会社

神奈川県川崎市川崎区小田栄2丁目1番1号

(72) 発明者 平沢 裕愛

神奈川県川崎市川崎区小田栄2丁目1番1号 昭和電線電纜株式会社内

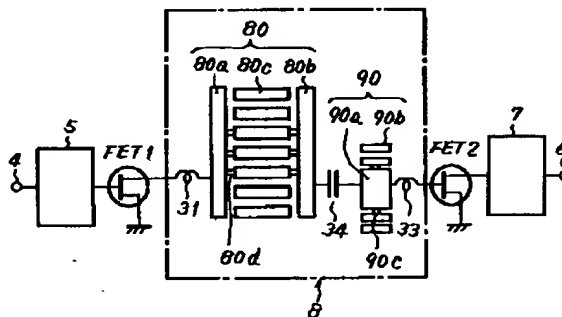
(74) 代理人 弁理士 山田 明信

(54) 【発明の名称】 高周波増幅器

(57) 【要約】

【目的】 段間整合回路におけるインダクタンスやキャパシタンスを容易に増減することにより所望の特性に容易に調整できる高周波増幅器を提供することを目的とする。

【構成】 2段以上の増幅素子を備え、これらの増幅素子の間に、誘電体基板上に形成されたインダクタンスパターンおよびコンデンサパターンで構成されたLC素子からなる段間整合回路を配置した高周波増幅器において、前記段間整合回路のインダクタンスパターンおよび／またはコンデンサパターンが、必要に応じてインダクタンス値を増減できるインダクタンスパターンおよび／または必要に応じてキャパシタンス値を増減できるコンデンサパターンで構成されていることを特徴とする。



【特許請求の範囲】

【請求項1】 2段以上の増幅素子を備え、これらの増幅素子の間に、誘電体基板上に形成されたインダクタンスパターンおよびコンデンサパターンで構成されたLC素子からなる段間整合回路を配置した高周波増幅器において、前記段間整合回路のインダクタンスパターンが必要に応じてインダクタンス値を増減できるインダクタンスパターンで構成されていることを特徴とする高周波増幅器。

【請求項2】 2段以上の増幅素子を備え、これらの増幅素子の間に、誘電体基板上に形成されたインダクタンスパターンおよびコンデンサパターンで構成されたLC素子からなる段間整合回路を配置した高周波増幅器において、前記段間整合回路のコンデンサパターンが必要に応じてキャパシタンス値を増減できるコンデンサパターンで構成されていることを特徴とする高周波増幅器。

【請求項3】 2段以上の増幅素子を備え、これらの増幅素子の間に、誘電体基板上に形成されたインダクタンスパターンおよびコンデンサパターンで構成されたLC素子からなる段間整合回路を配置した高周波増幅器において、前記段間整合回路のインダクタンスパターンが必要に応じてインダクタンス値を増減できるインダクタンスパターンで構成され、前記段間整合回路のコンデンサパターンが必要に応じてキャパシタンス値を増減できるコンデンサパターンで構成されていることを特徴とする高周波増幅器。

【請求項4】 必要に応じてインダクタンス値を増減できるインダクタンスパターンが、インダクタンス調整用の階段状インダクタからなることを特徴とする請求項1および3のいずれか一項に記載の高周波増幅器。

【請求項5】 必要に応じてキャパシタンス値を増減できるコンデンサパターンが、キャパシタンス調整用の島状キャパシタからなることを特徴とする請求項2および3のいずれか一項に記載の高周波増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロ波帯の高周波信号の増幅に使用される高周波増幅器に関する。

【0002】

【従来の技術】マイクロ波帯の高周波信号の増幅には、増幅素子として電界効果トランジスタを用いた高周波増幅器が広く利用されている。また、数GHz以上の高周波回路においては、伝送路であるマイクロストリップ線路の幅を狭めてインダクタを形成したり、その幅を広げてキャパシタを形成することが行われており、マイクロ波帯用の多段増幅器においても、前段整合回路や段間整合回路あるいは後段整合回路などに、マイクロストリップ線路を用いたインダクタやキャパシタが使用されている。この種の整合回路は、例えば特開平5-206762号公報に開示されている。

【0003】図3は、増幅素子として2個の電界効果トランジスタFET1、FET2を用いた多段高周波増幅器の一例を示すもので、前段の増幅素子FET1と後段の増幅素子FET2との間には段間整合回路3が配置され、前段の増幅素子FET1と入力端子4の間には前段整合回路5が配置され、また後段の増幅素子FET2と出力端子6との間には後段整合回路7が配置されている。これらの整合回路は、それぞれ段間あるいは入出力端子間におけるインピーダンスやフィルタ特性の整合を図るもので、接続用のリボンやマイクロストリップ線路などから構成されている。

【0004】すなわち、段間整合回路3は、前段増幅素子FET1のドレイン端子と、後段増幅素子FET2のゲート端子との間を接続するドレインリボン31、マイクロストリップ線路32、およびゲートリボン33の直列体から構成されている。マイクロストリップ線路32はインダクタとして機能する小幅部分32aと、キャパシタとして機能する広幅部分32bとから構成されている。前段整合回路5は、前段増幅素子FET1のゲート端子と入力端子4との間を接続するゲートリボン51およびマイクロストリップ線路52の直列体と、マイクロストリップ線路52の入力側に付加した容量性スタブ53とから構成されている。また、後段整合回路7は、後段増幅素子FET2のドレイン端子と出力端子6との間を接続するドレインリボン71およびマイクロストリップ線路72の直列体と、マイクロストリップ線路72の出力側に付加した容量性スタブ73とから構成されている。なお、前段増幅素子FET1および後段増幅素子FET2の各ソース端子は直接接地されている。

【0005】このようなマイクロ波帯用の高周波増幅器は、使用する増幅素子FET1、FET2の諸特性を考慮し、理論値にしたがって回路定数を定め、設計を進めるのであるが、増幅素子自身に特性のバラツキがある上、リード線やマイクロストリップ線路にも設計誤差を伴うため、実際に出来上がった回路では、段間整合回路などのインダクタンスやキャパシタンスを調整する必要がある。

【0006】

【発明が解決しようとする課題】従来の高周波増幅器においては、マイクロストリップ線路は誘電体基板上に回路パターンを蒸着などにより形成されているが、そのインダクタンスやキャパシタンスを調整することに関しては、配慮が払われていなかったため、調整は非常に困難または不可能であった。すなわち、例えば上記マイクロストリップ線路において、誘電体基板上の回路パターンの一部を切除すればインピーダンスの値を変化させることはできるが、マイクロ波帯の高周波信号の場合、調整単位は数 μ H、数pF程度の小さな値であるため、蒸着などにより形成された回路パターンの切除範囲を正確に定めることが難しく、また仮にインダクタンスやキャパ

シタンスを減らすことができたとしても、増加させることはできない。そこで本発明は、段間整合回路におけるインダクタンスやキャパシタンスを容易に増減することにより所望の特性に容易に調整できる高周波増幅器を提供することを目的とするものである。

【0007】

【課題を解決するための手段】本発明の高周波増幅器は、2段以上の増幅素子を備え、これらの増幅素子の間に、誘電体基板上に形成されたインダクタンスパターンおよびコンデンサパターンで構成されたLC素子からなる段間整合回路を配置した高周波増幅器において、前記段間整合回路のインダクタンスパターンおよび／またはコンデンサパターンが、必要に応じてインダクタンス値を増減できるインダクタンスパターンおよび／または必要に応じてキャパシタンス値を増減できるコンデンサパターンで構成されていることを特徴とする。

【0008】

【作用】このような構成の本発明の高周波増幅器においては、回路素子の実装後、回路特性を測定しながら、段間整合回路のインダクタンスパターンおよび／またはコンデンサパターンを、必要に応じて切除したり接続することにより所望の特性の高周波増幅器を容易に得ることができる。

【0009】

【実施例】以下、図面を参照して本発明の実施例を説明する。なお、これらの図において図3における同一部分には同一の符号を付してある。図1は、本発明の高周波増幅器の実施例を示すもので、段間整合回路8は、前段増幅素子FET1のドレイン端子と後段増幅素子FET2のゲート端子の間に直列接続したドレインリボン31と、インダクタンス調整用の階段状インダクタを備えたインダクタンス素子80と、コンデンサ34と、キャパシタンス調整用の島状キャパシタを備えたキャパシタンス素子90と、ゲートリボン33とからなる。

【0010】インダクタンス素子80と、キャパシタンス素子90は、誘電体基板の表面に回路パターンを、裏面にはグラウンドパターンをそれぞれスクリーン印刷の手法を用いて導電性塗料で描き、熱処理によって固定化させたものである。インダクタンス素子80の階段状インダクタの回路パターンは、平行に配置した一対のマイクロストリップ線路80a、80bと、これらの間に平行に配置した複数枚の橋絡片80cとからなる。各橋絡片80cの内の何枚かは、両端近傍を、切除が容易なように細幅とされた連結部80dを介してマイクロストリップ線路80a、80bと連結されており、残りの橋絡片80cは、両端近傍に連結部80dを備えておらず、マイクロストリップ線路80a、80bから分離している。また、キャパシタンス素子90の回路パターンは、1枚のマイクロストリップ線路90aと、その近傍に離間して配置した複数個の島状片90bとからなる。島状

片90bの内の何枚かは切除が容易なように細幅とされた連結部90cを介してマイクロストリップ線路90aに予め連結されているが、残りの島状片90bは連結部90cを備えておらず、マイクロストリップ線路90aから分離している。

【0011】このような構成の本発明の高周波増幅器においては、回路素子の実装後、各部の測定を行い、必要な調整を行うが、段間整合回路8には、インダクタンス調整用の階段状インダクタを備えたインダクタンス素子80と、キャパシタンス調整用の島状キャパシタを備えたキャパシタンス素子90とが設けられているので、調整は容易である。すなわち、予め連結部で一対のマイクロストリップ線路80a、80bに接続された複数枚の橋絡片80cの内の1枚または複数枚の連結部80dを取り除けばインダクタンス素子80のインダクタンスは大きくなり、反対に分離している橋絡片80cの内の1枚または複数枚の両端部をハンダ付けなどによりマイクロストリップ線路80a、80bに接続すればインダクタンスは小さくなる。また、マイクロストリップ線路90aと、複数個の島状片90bとの間を接続している連結部90cの内の1枚または複数枚を切除すればキャパシタンス素子90のキャパシタンスは小さくなり、反対に、離間して配置した複数個の島状片90bの内の1個または複数個とマイクロストリップ線路90aとをハンダ付けなどにより接続すれば、キャパシタンス素子90のキャパシタンスは大きくなる。したがって、取り除く連結部80d、90c、またはハンダ付けする橋絡片80cと島状片90bの枚数を適宜選択することにより段間整合回路8のインダクタンスとキャパシタンスを任意に調整することができ、そのフィルタ特性を所望の値にすることができる。

【0012】なお、図示はしていないが、橋絡片80cと島状片90bとして種々の大きさのものを組合わせて設けておけば、調整時に接続される橋絡片と島状片、および切除される橋絡片と島状片の大きさを選択することにより、調整単位をより細かくすることもできる。図2は、図1の高周波増幅器における段間整合回路8付近の等価回路を示す。この図において、可変インダクタVLはインダクタンス素子80のインダクタンスの値を示し、可変キャパシタVCはキャパシタンス素子90のキャパシタンスの値を示す。

【0013】

【発明の効果】以上のように、本発明によれば、段間整合回路におけるインダクタンスおよびキャパシタンスの値を容易に調整することができるので、性能の優れた高周波増幅器を容易に得ることができる。

【図面の簡単な説明】

【図1】 本発明の高周波増幅器の実施例を示す回路図である。

【図2】 本発明の高周波増幅器における段間整合回路

5

6

の等価回路図である。

【図3】 従来の高周波増幅器を例示する回路図である。

【符号の説明】

3, 8……段間整合回路

5……前段整合回路

7……後段整合回路

31, 71……ドレインリボン

32, 52, 72……マイクロストリップ線路

33, 51……ゲートリボン

53, 73……容量性スタブ

80……インダクタンス素子

80a, 80b, 90a……マイクロストリップ線路

80c……橋絡片

80d, 90c……連結部

90……キャパシタンス素子

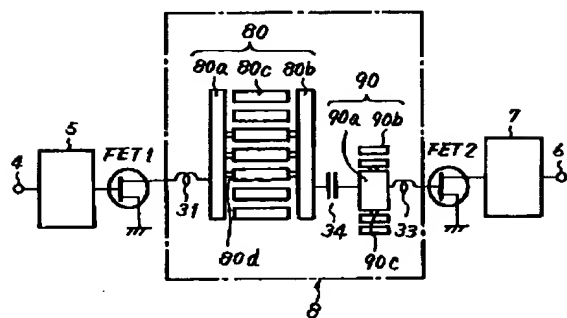
90b……島状片

FET1……前段FET

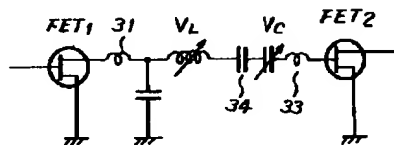
FET2……後段FET

10

【図1】



【図2】



【図3】

